

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

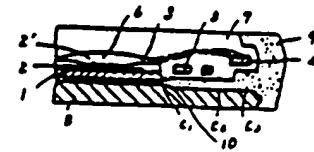
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JP 363233555 A
SEP 1988

(54) RESIN SEALED SEMICONDUCTOR DEVICE
 (11) 63-233555 (A) (43) 29.9.1988 (19) JP
 (21) Appl. No. 62-65715 (22) 23.3.1987
 (71) TOSHIBA CORP (72) SHINJIRO KOJIMA
 (51) Int. Cl. H01L23/30, H01L23/34

PURPOSE: To prevent an air gap from occurring between a heat dissipation fin and a first seal part, in a double-molded type resin sealed semiconductor device, by gradually reducing the distance between the first resin seal part and the planar heat dissipation fin toward the bed part of a lead frame.

CONSTITUTION: A semiconductor element 2 is mounted on a bed part 1, which is the conductive metal plate of a lead frame. A pad 2' and an inner lead terminal 3 or 4 are connected with a thin metal wire 5. After the thin wire 5 is covered with an encapsulating agent 6, a first resin seal part 7 is formed. At this time, the seal is performed so that the rear surface of the bed part 1 is exposed. The bed part 1 and a planar heat dissipation fin 8 are arranged in a metal mold with a slight gap C_1 being provided. A second resin seal part 9 is formed. Here, gaps C_2 and C_3 are formed between the seal part 7 and the fin 8 so that the flow path of the second resin is gradually reduced toward the gap C_1 . Since the gap C_1 is excellently filled with the second resin, voids do not remain, and the heat dissipation characteristic becomes excellent.



①日本国特許庁 (JP) ②特許出版公開
③公開特許公報 (A) 昭63-233555

④Int.Cl.
H 01 L 23/30
23/34

類別記号 厅内整理番号
B-6835-5F
B-6835-5F

⑤公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全4頁)

⑥発明の名称 衝撃対止型半導体装置

⑦特 願 昭62-65715
⑧出 願 昭62(1987)3月23日

⑨発明者 小島 伸次郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑩出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑪代理人 井理士 井上 一男

明 著 著

1. 発明の名称

衝撃対止型半導体装置

2. 特許日本の範囲

基板状半導体装置にマウントする半導体電子と、この周囲に配置する遮断をもつリード電子と、このリード電子と前記半導体電子を接続する金属端子と、この金属端子及び前記半導体電子を複数し前記端子と金属板の基板を隔離して対止応用する第1の衝撃対止部と、前記端子と金属板の基板と復数の遮断を、複数して対向配置する板状の放熱フィンと、この復数の遮断をうめ前記板状の放熱フィンの周囲を露出し前記第1の衝撃対止部を含めて対止応用する第2の衝撃対止部とをもつ衝撃対止型半導体装置において。

前記板状の放熱フィンと基板状金属板周囲の遮断を最小とし、放熱放熱フィンと第1の衝撃対止部間の遮断、前記金属板を接続する前記リード電子に対応する第1の衝撃対止部と前記板状の放熱フィン間の遮断を取扱増大することを特徴とす

る衝撃対止型半導体装置。

3. 発明の詳細な説明

【発明の目的】

(技術上の利用分野)

本発明は衝撃対止型半導体装置の改良に係るもので、特にトランジスタアレイ、SCRアレイ等のパワーモジュールや、パワートランジスタならびにパワースイッチ等の高出力半導体装置に適用する二重にモールドを施した半導体装置に関するものである。

(従来の技術)

最近の半導体装置には單一の半導体電子で構成するものの外に、複数の半導体電子ならびに付属部品を一體としたモジュールタイプも多用されており、その放熱性を改善するにはリードフレームにマウントした半導体電子と共に放熱フィンもトランシスタ構成する方がが採用されている。

このようなモジュール構成では複数の半導体電子をマウントする寸法の大きいリードフレームを用いるため衝撃対止部工場中に用意して、放熱

フインとリードフレームのペッド部底面が異常に狭くなったりむけられることがある。

このために、被覆防止（トランスファモールド）工程を複数回に分けて実施する方法が採用されており、リードフレームのペッドと放熱フイン部の距離を所定の値に維持できるので、放熱性の改善に役立つところが大きい。

第10図によりこの二重モールド方式を説明する。第10図は二重モールドを用いた製品の断面図。この構造を10と11の被覆防止を挟んだ底面Aを、リードフレームのペッド部20と放熱フイン21を僅かな距離を保って金属内に配置した第一の被覆防止部22と同様なエボキシ樹脂によって封止工程を行って第二の被覆防止部23を設ける。

この二重モールド方式の結果、ペッド部20にダイボンディングした半導体素子24ならびにリードフレームのリード端子25を被覆する金属樹脂26等が埋没すると共に、放熱フイン21の一面はこの封止樹脂と連続して被覆を形成する。

（発明が解決しようとする問題）

このような二重モールド方式を適用した被覆防止部半導体装置は前述のように放熱フインと、半導体素子をダイボンディングしたリードフレームのペッド部底面を僅かな距離とし、更にこの空間に封止樹脂層を充填するので放熱性に優れた封止樹脂を用いている。これに反して、封記空間に封止樹脂が入りにくいためエアボイドが発生しやすい。また、この封止部の境界に物理的障壁をさえどと、毛羽やエアギャップが入り易い箇所があり、これが基で放熱性が劣化する。

本発明は上記欠点を解決する新規な被覆防止部半導体装置を提供することを目的とする。

（発明の構成）

（問題点を解決するための手段）

二重モールド方式を適用した被覆防止部半導体装置における板状の放熱フインと、リードフレームのペッド部から導電性金属板部を充填する第2の被覆防止部のエアギャップ等を解消するために、この極めて狭い領域につながる板状の放熱フインと第1の被覆防止部の距離と封記導電性金属板

にマウントした半導体素子と電気的接続を保るべく固定した金属樹脂にはリード端子を連結しこれに対応する第1の被覆防止部と板状放熱フイン部の距離とを最大限大する手法を採用する。

（作用）

このように本発明では極めて狭い領域に充填する導電性金属板部を取扱い小寸のように配置しているので、入り易く使ってエアボイドの発生を防止して、被覆防止部半導体装置に必要な導電性ならびに放熱性を確保したものである。

（実施例）

第1回乃至第9回に本発明の実施例を示すが、従来の技術と異なる記載が組合せ一起にあるが、以下を付して説明する。

この実施例は半導体素子6ヶで構成する回路（第5図）をもつ被覆防止部半導体装置であり、この各半導体素子をマウントするリードフレームも当然導電性の構造が必要となるが、その上位図を第2図に示す。

半導体素子2…にペッド部から導電性金属板1

…にマウントされているが、そのバターンは複雑でありかつ密度が高いことが良くわかる。一方このリードフレームは第1回等に示すように導電性金属板1…と内部リード端子部3ならびに後述するよう金属樹脂をボンディングする外部リード端子部4の3部分の高さを互に異らせるように並んでこの導電性金属板1…を封記の位置にする。

半導体素子2…に設けるペッド2'…と外部リード端子4間には通常のボンディング柱によって金属樹脂5を被覆して電気的接続を図り、これをエンチャップ部6によって被覆板企印のエボキシ樹脂によるトランスファモールド工程を経て第1の被覆防止部7を設ける。この記載半導体素子2…、内部外部リード端子3、4は、金属樹脂5とエンチャップ部6は埋没されるものの、導電性金属板1…の高さはこの第1の被覆防止部7表面に露出する。

更に露出した導電性金属板1…に対して僅かの距離を保って板状の放熱フイン6を被覆モールド用金属内に設けて第2の被覆防止部8を形成する。

この場合、板状の放熱フィン9と導電性金属板10の距離C₁、₁内部リード3に対応する第1の板面封止部7と板状の放熱フィン9との距離C₂、₂外部リード4に対応する第1の板面封止部7と板状の放熱フィン9との距離C₃として、複数複数が求め易いように配慮している。C₁に示す距離を維持するには第1段に示すように板状の放熱フィン9の所定位置即ち内部リード端子3に対応する位置にプレス加工で凹部10を設けるか、第2段に示すように第1の板面封止部7の厚さを小さくしても良い。尚このトランスマーキュード工種におけるゲート位置はC₁方向に設けて前述のように複数複数の流れを改善して最も良い、C₁の通過を良好にする。

更にこの複数複数の流れに配慮した例が第3～4図、第6～9図であり、実質的には第2の板面封止部9が第1の板面封止部7を斜め付けて板状の放熱フィン9と導電性金属板10とのニアーギャップを防止している。

この第4図は第2の板面封止部9を斜めに示す

C₁ 工程を終えた板面封止部端子端は板面の上位面であり第1及び第2の板面封止部7、8が逆れして複数を形成しているが、この第1の板面封止部7の外側に7a～7cの段階を形成している。第3段階は、第1の板面封止部7を形成してから不要部分を除去した成形品の平面図であり、これをA～A線に沿って切断した図が第3段階である。

この段階は、第2の板面封止部9との距離を大きくするため半端は端子の外側言い換えると導電性金属板10の中央位置に形成し、この成形に当っては複数に相当する上型キャビティの成形穴を使用し、かつこの導電性金属板10の裏面が第1の板面封止部7の裏面を下型キャビティの裏面に固定配置してトランスマーキュード工種を実質して得られる。

第5図～第8図は第4段に示したB～B、C～C、D～Dの各線に沿って切断した成形品の断面図であり、第1の板面封止部7の段階7a～7dにエボキシ樹脂で構成する第2の板面封止部9a～9dが完成され、第7図に示す段階テープ7aは第2の板面

封止部9に対してUnder Cutの逆テープであって斜度しくは5°より斜度しくは10°以上に設置する。

この段階は半端は端子2の外側をほぼ囲んで抜けられているので、前記C₁の距離を持つ導電性金属板10と板状の放熱フィン9間に充填する第2の板面封止部9の密着性が改善されて、第1の板面封止部7を斜め付ける効果を実現する。

第4図に示すように第1の板面封止部7が露出する面積は第1の板面封止部7の段階面積の約50%が斜度しく、密着力を強めるために少なくするとC₁距離を所定の寸法に収めることができます。ボイドが抜けずに起座不良となる。これは第2の板面封止部9成形時にC₁距離をもった成形が後から実現されてここでの板面圧が小さくなつてかつボイドを差込み易いためである。

(発明の効果)

このニラーモールド方式を採用した板面封止部半導体装置では板状放熱フィンと第1の板面封止部間に第2の板面封止部が充填され易くて、エ

アーボイドが発生し難い。従って半導体装置の耐熱性が安定して高耐圧端子が持られる効果があり、しかもリード端子の自由度も従来より増す。

又厚さ2mmの板状放熱フィンを使用して外寸寸法が77(幅)×27(高)×7(厚)mmである第4段の板面封止部半導体装置を試作としてC₁を0.34mmとすると、ピーク値として16.91Vを1分でクリアでき、0.3mmでは14.91V×1分をクリアした。

4. 本発明の簡単な説明

第1図は本発明の供する半導体装置の断面を示す断面図、第2図はリードフレームの平面図、第3図は第1の板面封止部の状態を示す上位面、第3段階は第3段階をA～A線に沿って切断した断面図、第4図は本発明に供する半導体装置の上位面、第5図はこの半導体装置の断面図、第6～第8図は第4段のB～B、C～C、D～D線に沿って切断した断面図、第9図は本発明に供する半導体装置の断面を示す断面図、第10図は板面封止部の断面図である。

代理人 外堀士 井上一男

